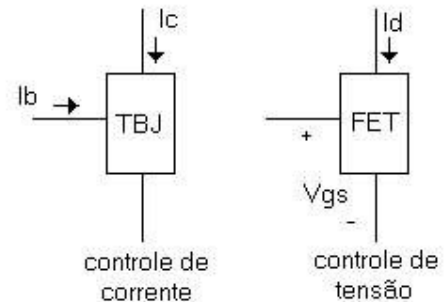


#### 4 – TRANSISTOR DE EFEITO DE CAMPO – JFET

O transistor de efeito de campo, abreviado por JFET ( *Field-Effect Transistor*) é um dispositivo de três terminais, utilizado em várias aplicações, como: pré-amplificador de vídeo para câmeras de TV, estágios amplificadores de RF para receptores de comunicações, instrumentos de medição, etc. e que realiza muitas das funções do TBJ, embora que haja diferenças importantes entre os dois dispositivos.

A diferença fundamental entre os dois tipos de transistores é o fato de que o TBJ é um dispositivo controlado a corrente, enquanto o JFET é um dispositivo controlado por tensão. Em outras palavras, a corrente  $I_C$  do TBJ é função direta do nível  $I_B$  e para o JFET, a corrente  $I_D$  será função direta da tensão  $V_{GS}$  aplicada ao circuito de entrada. Note que em ambos os caso a corrente de saída está sendo controlado por algum parâmetro de circuito de entrada – em um caso, o nível de corrente, e no outro, a tensão aplicada.



Assim como existem transistores *npn* e *npn*, existem transistores de efeito de campo de *canal n* e *canal p*. Entretanto, é importante observar que o TBJ é um dispositivo bipolar, enquanto que o JFET é um dispositivo unipolar, dependendo somente da condução realizada por elétrons (canal n) ou lacunas (canal p).

Uma das características mais importantes do FET é a alta impedância de entrada, com valores maiores que  $1M\Omega$ . Esta característica é muito relevante no projeto de amplificadores lineares. Por outro lado o TBJ apresenta maior sensibilidade às variações do sinal aplicado. Em outras palavras as variações de corrente de saída são tipicamente maiores para os TBJs do que para os FETs, para uma mesma variação do sinal de entrada, por isso que os ganhos de tensão dos amplificadores adquiridos com a utilização dos TBJs são superiores que aos ganhos de tensão adquiridos com a utilização de amplificadores com FETs. Em geral os FETs são mais estáveis com relação a temperatura do que os TBJs.

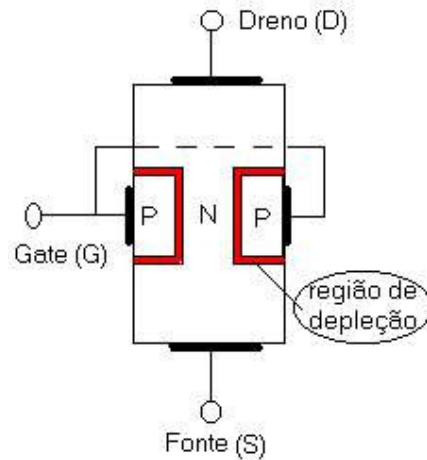
Existem dois tipos básicos : o FET de junção (ou JFET) e o FET de porta isolada (ou IGFET), também denominado de MOSFET, onde este último pode ser de dois tipos: MOSFET de depleção e os de intensificação. Estes por sua vez serão estudados na seqüência. O transistor MOSFET tornou-se um dos dispositivos mais usados na construção dos circuitos integrados (CI), empregados nos computadores digitais, porque, além de outras características, são mais estáveis termicamente.

#### 4.1 – CONSTRUÇÃO E OPERAÇÃO DO JFET

O primeiro FET desenvolvido foi o de junção, FET (Junction Field Effect Transistor). Há dois tipos: *Canal N* e *Canal P*.

Sua estrutura consiste numa barra de material semiconductor N (ou P), envolvida no centro com material P (ou N). A região N (ou P) é chamada de canal por influir na corrente controlada.

Observe que a maior parte da estrutura é composta do material do *tipo n*, formando o canal entre as camadas imersas de material do *tipo p*. A parte superior do canal do *tipo n* está conectada por contatos ôhmicos ao terminal denominado *dreno (D)*, enquanto que a parte inferior do mesmo material está conectado ao terminal denominado *fonte (S)*. Os dois materiais *tipo p* estão ligados entre si e ao terminal *porta (G)*.



Em resumo, o dreno e a fonte estão conectados aos extremos do *canal n* e a porta às duas camadas do material do *tipo p*. Portanto, deverá haver um fluxo de elétrons da Fonte(S) para o Dreno(D), onde este por sua vez através de um potencial aplicado deverá ser controlado pela Porta(G).

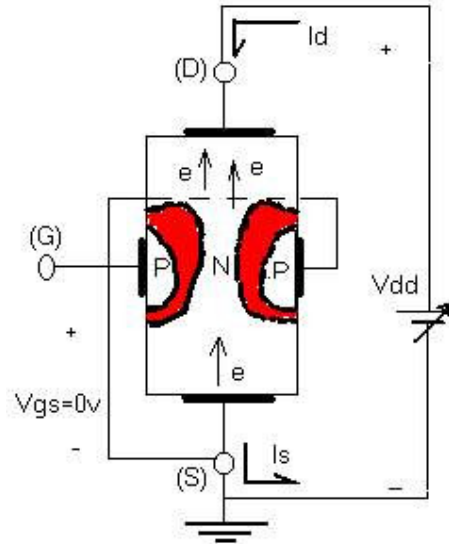
Para que a condição acima seja satisfeita, será necessário realizar a seguinte análise:

→  $V_{GS} = 0 \text{ v}$ ,  $V_{DS}$  maior que zero:

Aplicando-se uma tensão positiva  $V_{DS}$  através do canal, e conectando-se a porta diretamente a fonte estabelece a condição  $V_{GS} = 0 \text{ v}$ , obtém-se a porta e a fonte no mesmo potencial.

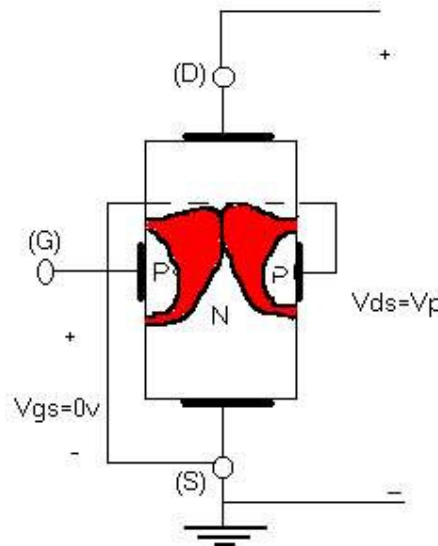
No instante em que uma tensão  $V_{DD} = V_{DS}$  é aplicada, os elétrons fluem para o terminal de dreno, estabelecendo uma corrente convencional  $I_D$ , com o sentido definido pela figura. O caminho do fluxo de cargas revela claramente que as correntes de dreno e fonte são equivalentes ( $I_D = I_S$ ).

É importante observar que a região de depleção é mais larga na parte superior, em ambos os materiais do *tipo p*. Este fato é observado pelo fato de ter-se a região superior do material *tipo p* reversamente polarizado, e a região inferior do material *tipo p* encontra-se diretamente polarizado. (Lembre que a polarização reversa tende a aumentar a região de depleção e a polarização direta tende a diminuir a região de depleção)



Conforme a tensão  $V_{DS}$  tende a aumentar de 0 para alguns volts, a corrente aumenta como previsto pela lei de Ohm, quando  $V_{DS}$  atingir um determinado valor definido por  $V_p$ , as regiões de depleção tendem a se alargar, provocando uma redução na largura do canal, acarretando em um aumento na resistência do canal.  $V_p$  é a tensão a qual resulta no estrangulamento do canal, tensão esta imposta por  $V_{DS}$ .

Para valores de  $V_{DS}$  a um nível onde as duas regiões de depleção tendem a se tocar, resulta na condição de pinch-off (tensão de constrição), tensão  $V_{DS}$  esta que estabelece o estrangulamento do canal, denotado por  $V_p$ . Na verdade o termo de pinch-off é inapropriado, sugerindo que a corrente caia a zero, entretanto  $I_D$  mantém um nível de saturação definido por  $I_{DSS}$ , onde na verdade ainda existe um canal muito estreito, com uma corrente de altíssima densidade.

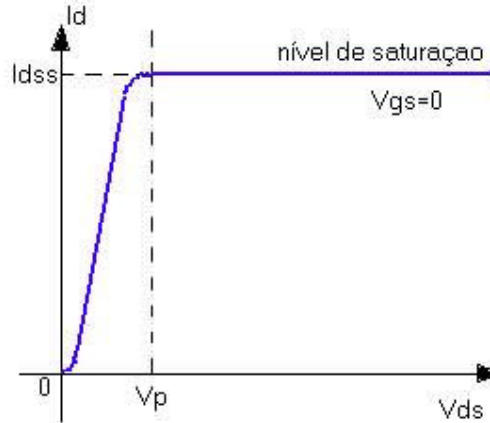


O fato de  $I_D$  não ser cortada e manter o nível de saturação é verificado pelo seguinte: a ausência de uma corrente de dreno impossibilitaria a existência de diferentes níveis de potencial através do *canal n*, e não estabeleceria os níveis de tensão reversos ao longo da *junção p-n*.

A medida que a tensão  $V_{DS}$  tende a aumentar além do nível  $V_p$ , a região de confronto entre as duas regiões de depleção aumenta em comprimento ao longo do canal, mas o nível de corrente  $I_D$  permanece essencialmente o mesmo. Em resumo, portanto, uma vez estabelecido  $V_{DS} > V_p$ , o JFET apresenta as características de uma fonte de corrente. Portanto a corrente permanece

constante em  $I_D = I_{DSS}$ , mas a tensão  $V_{DS}$  (para níveis  $> V_P$ ) será determinada pela carga empregada.

$I_{DSS}$  é a corrente máxima de dreno para um JFET, e é definido pela condição  $V_{GS}=0$  e  $V_{DS} > V_P$ .



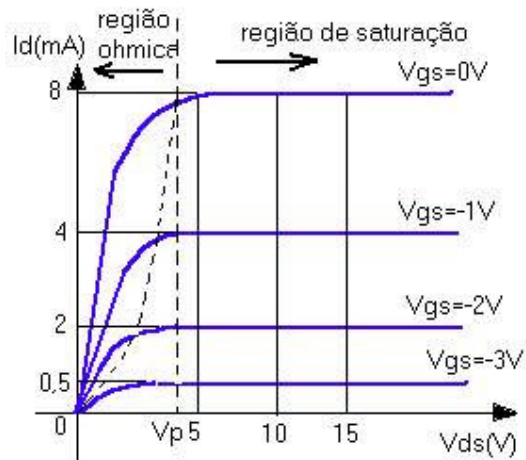
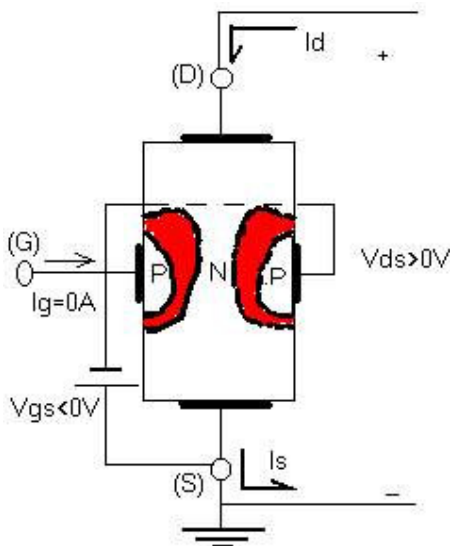
→  $V_{GS} < 0$  v:

A tensão da porta para a fonte, denotada por  $V_{GS}$ , é a tensão controladora de JFET. Para o dispositivo de canal n, a tensão controladora  $V_{GS}$  é feita cada vez mais negativa, a partir de  $V_{GS} = 0V$ . Ou seja, o terminal de porta estará cada vez mais em potenciais menores comparado a fonte.

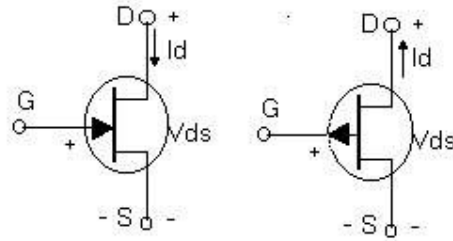
A polarização negativa estabelece regiões de depleção semelhantes aquelas obtidas com  $V_{GS} = 0$ , mas com níveis menores de  $V_{DS}$ . Portanto, o resultado da aplicação de uma fonte negativa na porta é alcançar a condição de saturação em níveis menores de tensão  $V_{DS}$ . Quanto mais negativos forem os valores da fonte  $V_{GS}$ , maior o estrangulamento do canal.

O nível de  $V_{GS}$  que resulta em  $I_D = 0$  mA é definido por  $V_{GS} = V_p$ , com  $V_p$  sendo uma tensão negativa para dispositivos de canal n, e uma tensão positiva para JFETs de canal p.

Note que obtêm-se diferentes valores de  $I_D$  para diferentes valores de  $V_{GS}$ .



**Simbologia do JFET**

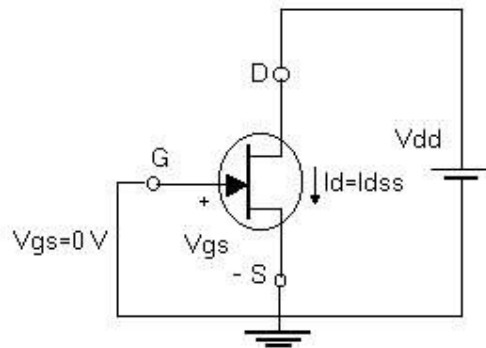


Note que em torno de um canal forma-se uma região de potencial na junção PN. Esta barreira restringe a área de condução de canal ao outro.

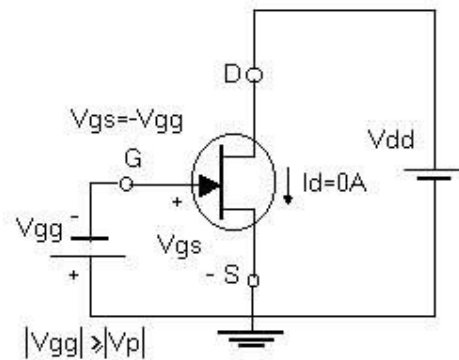
**4.2 Condições de operação do JFET:**

Resumindo, tem-se abaixo as três condições de operação do JFET:

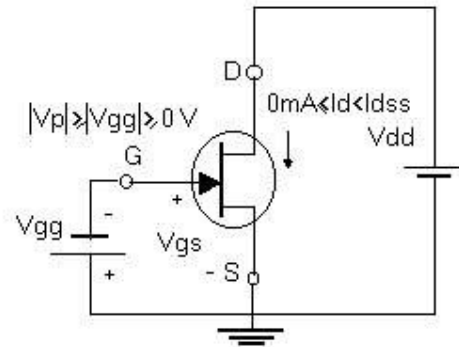
- Para  $V_{GS} = 0 V$  e  $V_{DD} \geq V_p \rightarrow I_D = I_{DSS}$



- Para  $V_{GG} \geq V_p$  e  $V_{DD} = \text{Const.} \square I_D = 0 A$



- Para  $V_p \geq V_{GG} \geq 0\text{ V}$  e  $V_{DD} = \text{Const.}$   $0\text{ mA} \leq I_D < I_{DSS}$

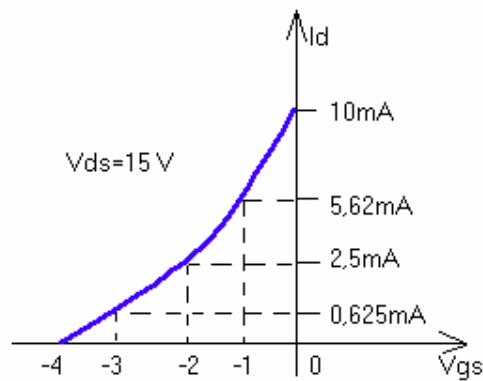


### 4.3 Curva de Transcondutância do JFET:

A curva de Transcondutância de um JFET é um gráfico da corrente de dreno *versus* a tensão porta-fonte, ou  $I_D$  *versus*  $V_{GS}$ . A curva será a mesma para qualquer tipo de JFET, apenas mudam os níveis de dopagem, as regiões dopadas, etc. Por isso todos os JFETs tem uma curva de transcondutância que é o gráfico da seguinte equação:

$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2$$

Com esta equação podemos calcular a corrente de dreno dada, a corrente de dreno máxima, a tensão de corte porta-fonte e a tensão da porta. A curva pode ser útil para aproximações rápidas, note que a corrente de dreno  $I_D$  máxima é 10mA e a tensão de corte porta-fonte é de -4V.



Curva de Transcondutância

Considerando o valor entre parênteses como um fator denominado de K, temos:

$$I_D = K I_{DSS}$$

Desta forma, tendo o valor de K, podemos determinar rapidamente o valor da corrente de dreno.

Os valores de  $I_{DSS}$  e  $V_p$  são normalmente fornecidos pelos fabricantes dos JFETs, já o valor de  $I_D$  pode ser determinado para qualquer nível de  $V_{GS}$ .

**Exerc.01)** Suponha que um JFET tenha  $I_{DSS} = 7 \text{ mA}$  e  $V_p = -3\text{V}$ . Calcule a corrente de dreno para uma tensão porta-fonte de  $-1\text{V}$ .

*Resp.:  $I_D = 3,12 \text{ mA}$*

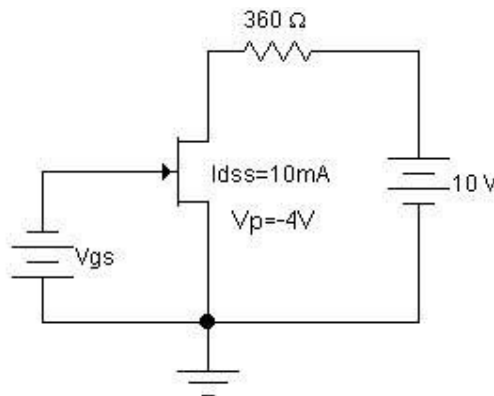
**4.4 Análise de Circuitos com JFET:**

Para efetuar a análise de circuitos empregando transistores JFET, podemos chegar as seguintes relações com relação ao TBJ:

<i>TBJ</i>		<i>JFET</i>		<i>TBJ</i>		<i>JFET</i>
<i>E</i>	↔	<i>S</i>		$I_C = \beta I_B$	↔	$I_D = K I_{DSS}$
<i>B</i>	↔	<i>G</i>		$I_C \approx I_E$	↔	$I_D = I_S$
<i>C</i>	↔	<i>D</i>		$V_{BE} = 0,7\text{V}$	↔	$I_G = 0 \text{ A}$

**Exerc.02)** Na figura ao lado, qual a tensão de dreno-fonte quando  $V_{GS}$  é zero?

**Solução:**



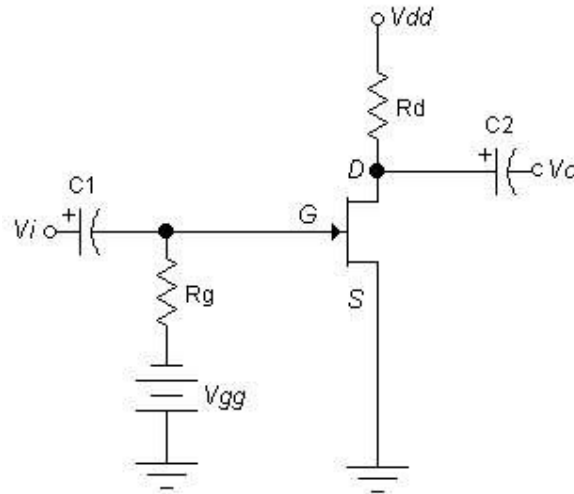
4.4.1 Configuração de Polarização Fixa para o JFET:

O mais simples dos arranjos de polarização para o FET é definido pela configuração de polarização fixa, porém é o menos eficiente, devido o fato de que o ponto quiescente (ponto de operação) variar em função de  $I_{DSS}$  e  $V_P$  que por sua vez variam com temperatura.

A configuração apresentada inclui os níveis ac  $V_i$  e  $V_o$  mais os capacitores de acoplamento. Lembre-se que os capacitores de acoplamento são "circuito-aberto" para análises dc, e baixas impedâncias (curto-circuitos) para a análise ac. O resistor  $R_G$  está presente para assegurar que  $V_i$  apareça na entrada do amplificador FET na análise ac.

$$I_G = 0 \text{ A}$$

$$V_{RG} = I_R R_G = 0 \text{ V}$$

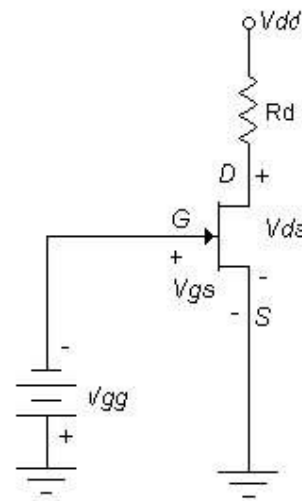


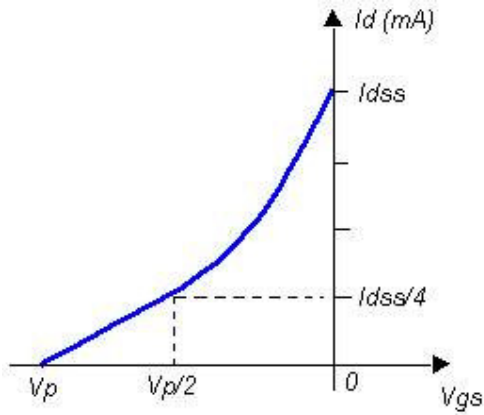
A queda de tensão através de  $R_G$  permite substituir  $R_G$  por um curto-circuito equivalente, especialmente desenhado para a análise dc.

Como o terminal negativo da bateria está conectado na porta, pode-se concluir que a polaridade de  $V_{GS}$  é oposta a  $V_{GG}$ . Aplicando-se a lei das tensões de Kirchhoff na malha, no sentido horário, resulta em

$$-V_{GG} - V_{GS} = 0 \quad \text{logo} \quad \boxed{V_{GS} = -V_{GG}}$$

Uma vez que  $V_{GG}$  é uma fonte constante, a tensão  $V_{GS}$  é fixa, onde surge a conotação de polarização fixa.





O nível resultante de corrente de dreno  $I_D$  poderá então ser definido pela equação de Shockley.

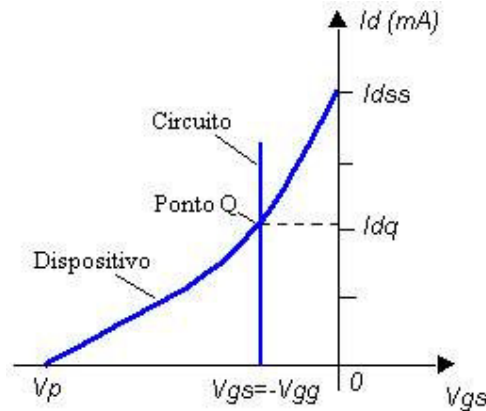
$$I_D = I_{DSS}(1 - V_{GS}/V_p)^2$$

Observe que na curva de transcondutância, fazendo

$$V_{GS} = V_p/2,$$

(método de análise simplificado) a corrente de dreno fica igual a  $I_{DSS}/4$ .

Note na reta horizontal  $V_{GS} = -V_{GG}$ ; portanto o nível de  $I_D$  deve ser determinado sobre esta reta. O ponto onde as duas curvas se interceptam é a solução para a configuração, denominado de *ponto de operação* ou ainda *ponto quiescente* –  $Q$ . Observe que o nível quiescente de  $I_D$  é determinado desenhando-se uma linha horizontal do ponto  $Q$  até o eixo vertical  $I_D$ .



A tensão dreno-fonte  $V_{DS}$  do circuito pode ser determinada aplicando-se a lei das tensões de Kirchhoff, obtendo desta forma:

$$V_{DS} = V_{DD} - I_D R_D$$

Note que, como não há uma resistência de emissor, teremos  $V_S = 0$  logo podemos verificar que:

$$V_{DS} = V_D - V_S$$

$$V_D = V_{DS}$$

Além disso temos ainda que:

$$V_{GS} = V_G - V_S$$

$$V_{GS} = V_G$$

Exerc.03) Determine as seguintes variáveis para o circuito:

- a)  $V_{GSQ}$
- b)  $I_{DQ}$
- c)  $V_{DS}$
- d)  $V_D$
- e)  $V_G$
- f)  $V_S$

